

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

CLIPPEDIMAGE= JP406021732A

PAT-NO: JP406021732A

DOCUMENT-IDENTIFIER: JP 06021732 A

TITLE: OPERATIONAL AMPLIFIER

PUBN-DATE: January 28, 1994

INVENTOR-INFORMATION:

NAME

KADOWAKI, TADAO

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP04176372

APPL-DATE: July 3, 1992

INT-CL (IPC): H03F003/45;H03F001/02 ;H03F003/345

US-CL-CURRENT: 330/277

ABSTRACT:

PURPOSE: To provide the operational amplifier operated at a low current consumption by selecting two kinds of biases used to control a current source transistor(TR).

CONSTITUTION: Let a current flowing to a P-channel MOS TR 105 be I2, and a conductance constant is equal to N-channel MOS TRs 106, 108 being components of a current mirror circuit. Furthermore, a conductance constant is equal to P-channel MOS TRs 107, 109 being components of other current mirror circuit. Then a current equal to the current I2 is obtained by the N- channel MOS TR 108 and similarly a current equal to the current I2 is obtained by the P-channel MOS TRs 109, 114. Thus, the operating consumed current of the operational amplifier circuit is $I2 \times 4$, and then a value obtained by multiplying a constant with a current flowing to the current source TR 105 is the operating consumed current of the operational amplifier. That is, the operating consumed current of the operational amplifier is controlled by varying the voltage of the signal 104.

COPYRIGHT: (C) 1994, JPO&Japio

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-21732

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 03 F 3/45	A	7436-5 J		
1/02		7350-5 J		
3/345	B	8124-5 J		

審査請求 未請求 請求項の数5(全 6 頁)

(21)出願番号 特願平4-176372	(71)出願人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日 平成4年(1992)7月3日	(72)発明者 門脇 忠雄 長野県諏訪市大和3丁目3番5号セイコー エプソン株式会社内
	(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 演算増幅器

(57)【要約】

【目的】低消費電流で動作する演算増幅器を提供する
【構成】電流源トランジスタ、差動増幅回路、出力段と
て構成され、該電流源トランジスタの電流をカレント・
ミラー回路で該演算増幅器内の差動増幅回路と出力段回
路にも供給する。該電流源トランジスタの電流は時分割
信号で制御され、該演算増幅器の動作消費電流を制御す
る。

【効果】また、演算増幅器の電流源トランジスタをデア
レッション型にする事により、電流源トランジスタは正
極電源レベルと負極電源レベルの二値で制御できるの
で、チップ・サイズの縮小がはかれ、チップ・コストを
低減する事ができる。

【特許請求の範囲】

【請求項1】電流源トランジスタと差動増幅回路と出力段回路とで構成され、該差動増幅回路の動作消費電流と出力段回路の動作消費電流は、該電流源トランジスタに流れる電流により制御され、該出力段回路の動作は該差動増幅器からの信号で制御される演算増幅器において、該電流源トランジスタを制御するバイアスを少なくとも二値選択できることを特徴とする演算増幅器。

【請求項2】請求項1記載の演算増幅器において、該電流源トランジスタを制御するバイアスは時分割で少なくとも二値選択する事を特徴とする演算増幅器。

【請求項3】請求項1記載の演算増幅器において、該電流源トランジスタは該制御される少なくとも二値のバイアスにより、電流の増加と電流の減少とに制御される事を特徴とする演算増幅器。

【請求項4】請求項1記載の演算増幅器において、該電流源トランジスタはデブリッシュン型トランジスタである事を特徴とする演算増幅器。

【請求項5】請求項1記載の演算増幅器において、該差動増幅回路と該出力段回路は該電流源トランジスタとカレントミラー回路を構成するトランジスタで制限される電流によって動作する事を特徴とする演算増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、演算増幅器の駆動方式に関する。

【0002】

【従来の技術】従来より、出力回路として所定の電圧を出力する為には演算増幅器を用い、該演算増幅器の非反転入力に所定の基準電圧を入力し、該演算増幅器の出力を該演算増幅器の反転入力に帰還し、ボルテージホロワを形成する方法が多く用いられている。このボルテージホロワの回路例を図2(a)の論理回路に示す。図2(a)に於て201は演算増幅器、信号202は演算増幅器201の非反転入力に入力している所定の基準電圧。信号203は演算増幅器201の出力で、演算増幅器201の反転入力へ帰還されている。この様にボルテージホロワを形成すれば、演算増幅器の出力203には、所定の基準電圧信号202と同電圧でインピーダンスを極めて小さい値に変換された信号が得られると言う事は良く知られている。

【0003】ここで、ボルテージホロワを実現する為の具体例を、図2(b)の回路図に示す。図2(b)は、MOSトランジスタを用いてボルテージホロワを実現した一例である。図2(b)に於て、信号213は正極電源、信号214は負極電源、信号202は所定の基準電圧、信号203は演算増幅器の出力、204はバイアス発生回路、P型MOSトランジスタ205はバイアス発生回路204からの信号によってゲート・バイアスを制御される定電流回路、P型MOSトランジスタ206と

207は差動トランジスタ、N型MOSトランジスタ208と209はミラー回路により構成され、各々等インピーダンスでP型MOSトランジスタ206と207のドライン負荷となるトランジスタ、P型トランジスタ210はバイアス回路204からの信号によってゲート・バイアスを制御され、出力信号203の能動負荷となる定電流回路、コンデンサ211は位相補正用コンデンサー、N型MOSトランジスタ212は出力信号203に所定の電圧を出力する出力段トランジスタである。P型MOSトランジスタ205、206、207とN型MOSトランジスタ208、209とで差動増幅回路を形成している。該差動増幅回路からの出力信号215は、位相補正用コンデンサ211と出力段のN型MOSトランジスタ212のゲート入力に接続されている。

【0004】差動トランジスタの一方のP型トランジスタ206のゲートは演算増幅器の非反転入力であり、所定の基準電圧である信号202が入力されている。差動トランジスタの他の一方のP型トランジスタ207のゲートは演算増幅器の反転入力であり、演算増幅器の出力である信号203が帰還入力されている。この様にしてボルテージホロワを形成していた。

【0005】

【発明が解決しようとする課題】しかしながら、上述の従来技術の場合は以下に示す課題があった。一般に演算増幅器に於て、入力電圧がある速さで変化した時、出力電圧は演算増幅器の内部回路の遅延性能による制約から、ある限界値以上の速さで変化する事はできず、この限界値の事をスルーレートといい、単位時間につき出力電圧が何ボルトの変化で追従するかを示す事は剛則である。また、理想的演算増幅器のスルーレートは無限大である事も周知である。次に、図2(b)の従来例の回路図における演算増幅器のスルーレートについて述べる。差動増幅回路を動作させる電流、つまりP型MOSトランジスタ205で制限される電流をI1、差動増幅回路からの出力信号215の容量負荷、つまり位相補正コンデンサ211の静電容量+N型MOSトランジスタ212のゲート容量+配線などに寄生する寄生容量をC1とすれば、該演算増幅器のスルーレートは以下の(1)式で表される。

$$40 \quad [0006] \text{スルーレート} = I1 / C1 \quad \dots \quad (1)$$

(1)式より、スルーレートの値を向上させるには、言い替えると演算増幅器の入力電圧の変化に追従する出力の追従性を向上させるには、該演算増幅器内の差動増幅回路に流れる電流I1を多くするか、差動増幅回路からの出力信号215の容量負荷C1を少なくすれば良い。しかしながら、位相補正用コンデンサ211は演算増幅器の異常発振を防止する為に必要であり、また出力段トランジスタのN型MOSトランジスタ212は演算増幅器を構成するトランジスタであり、削除する事はできない。従って、上述の容量負荷C1の値を著しく低減する

のは困難である。一方、同様に上記の式より、差動増幅回路に流れる電流 I_1 を多くすればスルーレートの値は向上するが、この事は演算増幅器の動作消費電流の増加を伴ってしまう。この事は電池を電源とする携帯機器など、電池の寿命を長くする必要から動作消費電流を少なく抑える必要がある分野では、致命的な欠点となってしまう。本発明は上述した課題を解決するものであり、その目的とするところはスルーレートの値を損なわずに、低消費電流で動作する演算増幅器を提供するものである。

【0007】

【課題を解決するための手段】上述した課題を解決する為に本発明は、電流源トランジスタと差動増幅回路と出力段回路とで構成され、該差動増幅回路の動作消費電流と出力段回路の動作消費電流は、該電流源トランジスタに流れる電流により制御され、該出力段回路の動作は該差動増幅器からの信号で制御される演算増幅器において、該電流源トランジスタを制御するバイアスを少なくとも二値選択できる事を特徴とする。

【0008】また、該電流源トランジスタを制御するバイアスは、時分割で二値選択する事を特徴とする。

【0009】また、該電流源トランジスタは該制限される二値のバイアスにより、電流の増加と電流の減少とに制御される事を特徴とする。

【0010】また、該電流源トランジスタは、デブレッショントランジスタである事を特徴とする。

【0011】また、該差動増幅回路と該出力段回路は、該電流源トランジスタとカレントミラー回路を構成するトランジスタで制限される電流によって動作する事を特徴とする。

【0012】

【作用】本発明によれば、電流源トランジスタのバイアスを切り替える事によって該電流源トランジスタの消費電流を制御でき、該電流源トランジスタとカレントミラーリー回路を形成する事によって、演算増幅器内の差動増幅回路と出力段回路の消費電流を同様に制御できるので、該演算増幅器の動作消費電流を低減する事ができる。

【0013】

【実施例】以下に本発明の実施例を説明する。図1に本発明の一実施例を示す。図1はMOSトランジスタで構成された一例を示す回路図である。図1において101は正極電源、102は負極電源である。P型MOSトランジスタ105は電流源トランジスタである。演算増幅器を構成する差動増幅回路はP型MOSトランジスタ109、110、111とN型MOSトランジスタ112、113である。P型MOSトランジスタ109は差動増幅回路に定電流を供給する定電流トランジスタ、P型MOSトランジスタ110と111は差動対トランジスタ、N型MOSトランジスタ112と113は各々差動対P型MOSトランジスタ110と111のド

レイン負荷である。演算増幅器を構成する出力段回路はP型MOSトランジスタ114とN型MOSトランジスタ115である。N型MOSトランジスタ115は出力ドライバ、P型MOSトランジスタ114はN型MOSトランジスタ115の能動負荷である。コンデンサ116は位相補正用コンデンサーで差動増幅回路の出力信号119と演算増幅器の出力である信号117との間に接続されている。演算増幅器の非反転入力はP型MOSトランジスタ110のゲート入力で信号103が入力している。該演算増幅器の反転入力はP型MOSトランジスタ111のゲート入力で演算増幅器の出力である信号117が側面入力されている。このように構成すれば、ボルテージホワフを形成する事になるのは、従来例で説明した通りである。

【0014】一方、P型MOSトランジスタ105は電流源トランジスタ、N型MOSトランジスタ106と108はカレントミラーリー回路、同様にP型MOSトランジスタ107、109、114はカレントミラーリー回路を形成している。そしてP型MOSトランジスタ105に流れる電流をI2とし、説明を分かりやすくする為に、カレントミラーリー回路を形成しているN型MOSトランジスタ106と108はコンダクタンス定数を等しいとし、更に他のカレントミラーリー回路を形成しているP型MOSトランジスタ107と109と114のコンダクタンス定数は等しいとする。すると、カレントミラーリー回路の働きによりN型MOSトランジスタ108にはI2と等しい電流が得られ、また同様にP型MOSトランジスタ109とP型MOSトランジスタ114にもI2と等しい電流が得られる。従って、図1の演算増幅器の回路例に於ける動作消費電流は $4 \times I_2$ となる。つまり、電流源トランジスタに流れる電流にある定数を乗じた値が、演算増幅器の動作消費電流となる。

【0015】次に、電流源のP型MOSトランジスタ105に流れる電流I2は、P型MOSトランジスタ105のスレッシュホールド電圧をVtp、ソースとゲート間バイアスVgp、コンダクタンス定数をKpとし、飽和領域で動作しているとすると、電流I2は以下の(2)式で与えられる。

【0016】

$$I_2 = K_p / 2 \cdot (V_{gp} - V_{tp})^2 \quad \dots \quad (2)$$

(2)式は、コンダクタンス定数Kpとスレッシュホールド電圧Vtpが一定とすると、電流I2はソースとゲート間バイアスVgpの値によって変化する事を示している。図1の回路図に於て、P型MOSトランジスタ105のソースとゲート間バイアスVgpは信号104で制御できる。従って、信号104の電圧値を変化させる事によって図1の演算増幅器の動作消費電流を制御できる。

【0017】次に具体的な動作について、図3のタイミング・チャート図を用いて説明する。図3(a)では、

説明を解りやすくする為に、図1と同じ信号には同じ番号を付けてある。信号103は演算増幅器の非反転入力に入力される基準電圧、信号104は演算増幅器の電流源P型MOSトランジスタ105のゲート・バイアス、信号117は演算増幅器の出力信号である。信号103はある周期でその基準電圧が切り替わっている事を示す。電流源P型MOSトランジスタ105のゲート・バイアスは正極電源の電圧に対し-Vaと一定とする。出力信号117は入力信号103の電圧レベルと同変化をしようと動作するが、演算増幅器の内部回路の追従性能による制約、つまりスルーレートの関係より入力信号103の変化に対してTd時間だけ遅れて所定の電圧レベルに達する。

【0018】図3(b)は、本発明のタイミング・チャート図である。信号103は演算増幅器の非反転入力に入力される基準電圧、信号104は演算増幅器の電流源P型MOSトランジスタ105のゲート・バイアス、信号117は演算増幅器の出力信号である。図3(a)と同じ信号には同じ番号を付けてある。信号103はある周期でその基準電圧が切り替わっている事を示す。図1の電流源P型MOSトランジスタ105のゲート・バイアスである信号104は、正極電源の電圧に対し-Vb1と-Vb2の二値の電圧で、時分割で変化している事を示している。また、信号104は信号103の電圧の切り替えタイミングに同期して所定の時間だけ-Vb1の電圧となり、以降信号103の次の電圧の切り替えタイミングまで-Vb2の電圧を保持している事を示している。電圧-Vb1と-Vb2の絶対値の大小関係は以下の(3)式に示す通りである。

【0019】

$$| -Vb1 | > | -Vb2 | \dots (3)$$

-Vb1と-Vb2の電圧は、図1の電流源P型MOSトランジスタ105のゲート・バイアスであり、ゲート・バイアスが大きいとMOSトランジスタに流れる電流は多くなり、ゲート・バイアスが小さいとMOSトランジスタに流れる電流は少なくなる事は前述の(2)の所で述べた通りである。従って、図1の電流源P型MOSトランジスタ105に流れる電流は、信号104のTdのタイミングでは多く、Tdのタイミングでは少なくなる。すると、演算増幅器内の差動増幅回路に流れる電流も信号104のTdのタイミングでは多くTdのタイミングでは少なくなるので、演算増幅器のスルーレートは信号104のTdのタイミングに対してTdのタイミングでは高くなる。従って、-Vb1の電圧値を適当な値に設定すれば、演算増幅器の出力信号117は信号103の電圧の切り替わりに対し、遅延時間Tdが極めて少くなり理想に近い出力が得られる。

【0020】次に、消費電流について述べる。演算増幅器の動作消費電流は図3の信号104のTdのタイミングでは多く、Tdのタイミングでは少なくなる事は上述

した通りである。ところで、Tdのタイミングでは出力信号117は既に所定の電圧レベルに達しているので、演算増幅器はその電圧レベルを保持するだけよい。

【0021】従って、Tdのタイミングでは演算増幅器の動作消費電流電流は極めて少なくてよい。一方、Tcのタイミングでは演算増幅器は多くの電流を必要とするが、Tcの時間を出力信号117の遅延時間Tdより長い範囲で、Tdの時間に対してできるだけ少くすれば、Tcのタイミングにおける消費電流の増加の影響は極めて少なくて済む事ができる。

【0022】次に、図1の演算増幅器の電流源トランジスタであるP型MOSトランジスタ105を、デプレッション型にした本発明の他の実施例を説明する。電流源P型MOSトランジスタ105をデプレッション型とした場合は、P型MOSトランジスタ105のゲート・バイアス信号103は、図4のタイミング・チャート図の様に与える。図4では、図3と同じタイミングを示すものには図3と同じ記号をつけてある。信号103は、Tcのタイミングでは負極電源レベル、Tdのタイミングでは正極電源レベルである。電流源のP型MOSトランジスタ105はデプレッション型であるので、グランド・レベルの正極電源レベルをゲートに入力すれば、所定の電流が得られる。また、負極電源レベルをゲートに入力すれば、ゲートに正極電源レベルを入力した場合よりも多くの電流を得事ができる。この様にして、演算増幅器の電流源トランジスタを制御してもよい。

【0023】以上の説明は、電流源トランジスタのバイアスを二値選択として説明したが、無論二値だけである必要は無く、演算増幅器のセトリング時間を少なくしたい等の理由により、電流源トランジスタのバイアスの切り替えをなめらかにする為に三値以上選択してもよい。また、正極電源をグランドとして説明してきたが、無論負極電源をグランドにしても、本発明と同じ構成とすれば同じ効果を得られる。従って、電流源トランジスタをP型MOSトランジスタとして説明したが、N型MOSトランジスタを用いても無論よい。また、本発明の実施例では、MOSトランジスタを用いて説明したが、MOSトランジスタに限ることではなく、他の種類のトランジスタでも同じ効果を得られる。

【0024】

【発明の効果】本発明によれば、演算増幅器の入力電圧の切り替わりに同期して、所定の時間演算増幅器のスルーレートを高める事ができるので、入力電圧の切り替わりに追従する出力電圧の遅延時間が極めて少ない演算増幅器を得られる。

【0025】また、演算増幅器の動作消費電流を制限する電流源トランジスタの電流を時分割で制御し、電流が多く流れているタイミングの時間を少なくし、電流が微少しか流れないタイミングの時間を多くするので、低消費電流で動作する演算増幅器を得る事ができる。

【0026】また、演算増幅器の電流源トランジスタをデブレッショング型にする事により、電流源トランジスタは正極電源レベルと負極電源レベルの二値で制御できるので、電流源トランジスタを制御する為の少なくとも二つの電圧を作成する回路は不要となり、例えば半導体集積装置内に本演算増幅器をつくりこんだ場合は、チップ・サイズの縮小がはかれ、チップ・コストを低減する事ができる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す回路図。

【図2】 (a) 演算増幅器の一例を示す論理回路図。

(b) 従来の技術例を示す回路図。

【図3】 (a) 演算増幅器の動作を示すタイミング・チャート。

(b) 本発明の演算増幅器の動作を示すタイミング・チャート。

【図4】 本発明の演算増幅器の動作を示すタイミング・チャート。

【符号の説明】

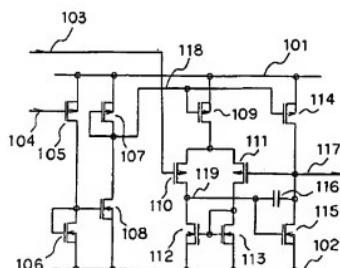
101, 102

… 電源線

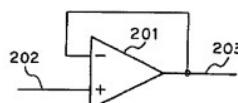
103, 117, 118, 119	… 信号線	
105, 107, 109, 110	… P型MOSトランジスタ	
111, 114	… P型MOSトランジスタ	
106, 108, 112, 113	… N型MOSトランジスタ	
115	… N型MOSトランジスタ	
10	116	… コンデンサ
201	… 演算増幅器	
202, 203	… 信号線	
204	… バイアス回路	
205, 206, 207, 210	… P型MOSトランジスタ	
208, 209, 212	… N型MOSトランジスタ	
211	… コンデンサ	
213, 214	… 電源線	

20

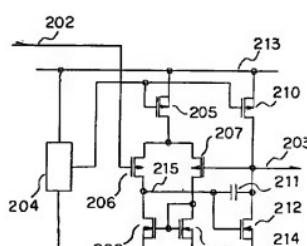
【図1】



【図2】

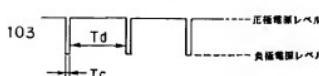


(a)

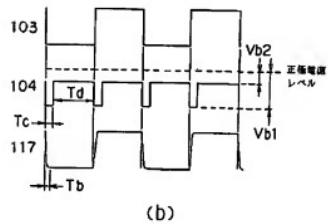
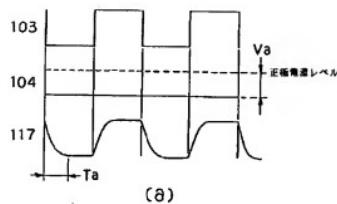


(b)

【図4】



【図3】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the drive method of an operational amplifier.

[0002]

[Description of the Prior Art] In order to output predetermined voltage as an output circuit, predetermined reference voltage is inputted into the noninverting input of this operational amplifier using an operational amplifier, the output of this operational amplifier is returned from the former to the reversal input of this operational amplifier, and many methods of forming a voltage follower are used. The example of a circuit of this voltage follower is shown in the logic diagram of drawing 2 (a). It is the predetermined reference voltage which has inputted 201 into the operational amplifier and has inputted the signal 202 into the noninverting input of an operational amplifier 201 in drawing 2 (a). A signal 203 is the output of an operational amplifier 201, and has returned to the reversal input of an operational amplifier 201. Thus, if a voltage follower is formed, telling the output 203 of an operational amplifier that the predetermined reference voltage signal 202 and the signal into which the impedance was changed by the very small value on this voltage are acquired is known well.

[0003] Here, the example for realizing a voltage follower is shown in the circuit diagram of drawing 2 (b). Drawing 2 (b) is an example which realized the voltage follower using the MOS transistor. A signal 213 a positive-electrode power supply and a signal 214 in drawing 2 (b) A negative-electrode power supply, Reference voltage predetermined in a signal 202 and a signal 203 the output of an operational amplifier, and 204 A bias generating circuit, The current regulator circuit P type MOS transistor 205 has gate bias controlled by the signal from the bias generating circuit 204, A differential pair transistor and N type MOS transistors 208 and 209 are constituted for P type MOS transistors 206 and 207 by Miller circuit. the transistor which serves as a drain load of P type MOS transistors 206 and 207 with impedances, such as each, -- The P type transistor 210 has gate bias controlled by the signal from a bias circuit 204. The current regulator circuit and capacitor 211 used as the active load of an output signal 203 are an output-stage transistor with which the capacitor for phase corrections and N type MOS transistor 212 output predetermined voltage to an output signal 203. The differential-amplifier circuit is formed by P type MOS transistors 205, 206, and 207 and N type MOS transistors 208 and 209. The output signal 215 from this differential-amplifier circuit is connected to the gate input of N type MOS transistor 212 of the capacitor 211 for phase corrections, and an output stage.

[0004] The gate of one P type transistor 206 of a differential pair transistor is the noninverting input of an operational amplifier, and the signal 202 which is predetermined reference voltage is inputted. The feedback input of the signal 203 which the gate of one [of a differential pair transistor] of other P type transistors 207 is the reversal input of an operational amplifier, and is the output of an operational amplifier is carried out. Thus, the voltage follower was formed.

[0005]

[Problem(s) to be Solved by the Invention] However, in the case of the above-mentioned conventional technology, the technical problem shown below occurred. It is common knowledge that it is generally shown whether output voltage is followed from the restrictions by the flattery performance of the internal circuitry of an operational amplifier by change whose output voltage is what volt per unit time by being unable to change with the speed more than a certain threshold value, but calling this threshold value slew rate when it changes with the speed which has input voltage in an operational amplifier. Moreover, it is common knowledge that the slew rate of an ideal operational amplifier is also infinite. Next, the slew rate of the operational amplifier in the circuit diagram of the conventional example of drawing 2 (b) is described. The slew rate of C1, then this operational amplifier is expressed with the following (1) formulas in the parasitic capacitance which is parasitic on gate-capacitance + wiring of electrostatic-capacity + N type MOS transistor 212 of an II and the capacity load 211 of the output signal 215 from a differential-amplifier circuit, i.e., a phase correction capacitor, etc. in the current which operates a differential-amplifier circuit, i.e., the current restricted by P type MOS transistor 205.

[0006] Slew rate = $1/I_1C_1 - (1)$

(1) What is necessary is to make [many] the current I1 which flows in the differential-amplifier circuit in this operational amplifier, or just to lessen the capacity load C1 of the output signal 215 from a differential-amplifier circuit from a formula, in order to raise the flattery nature of an output which follows change of the input voltage of an operational amplifier, if it puts in another way in order to raise the value of a slew rate. However, the capacitor 211 for phase corrections is required in order to prevent the unusual oscillation of an operational amplifier, and N type MOS transistor 212 of an output-stage transistor is a transistor which constitutes an operational amplifier, and cannot delete it. Therefore, it is difficult to reduce remarkably the

value of the above-mentioned capacity load C1. Although the value of a slew rate will improve on the other hand if the current I1 which flows in a differential-amplifier circuit is similarly made [more] than the above-mentioned formula, this thing will be accompanied by the increase in the consumed electric current of an operational amplifier of operation. This thing will become a fatal fault in the field which needs to stop the required shell operation consumed electric current which lengthens the life of cells, such as a pocket device which uses a cell as a power supply, few. this invention solves the technical problem mentioned above, and the place made into the purpose offers the operational amplifier which operates by the low consumed electric current, without spoiling the value of a slew rate.

[0007]

[Means for Solving the Problem] In order to solve the technical problem mentioned above, this invention consists of a current-source transistor, a differential-amplifier circuit, and an output-stage circuit, the consumed electric current of this differential-amplifier circuit of operation and the consumed electric current of an output-stage circuit of operation are controlled by the current which flows to this current-source transistor, and it is characterized by the ability of operation of this output-stage circuit to carry out binary selection of the bias which controls this current-source transistor at least in the operational amplifier controlled by the signal from this differential amplifier.

[0008] Moreover, bias which controls this current-source transistor is characterized by carrying out binary selection by time sharing.

[0009] Moreover, it is characterized by this current-source transistor being controlled by binary bias this restricted by the increase in current, and reduction of current.

[0010] Moreover, this current-source transistor is characterized by being a depression type transistor.

[0011] Moreover, this differential-amplifier circuit and this output-stage circuit are characterized by operating by the current restricted with this current-source transistor and the transistor which constitutes current Miller circuit.

[0012]

[Function] Since according to this invention the consumed electric current of this current-source transistor can be controlled and the consumed electric current of the differential-amplifier circuit in an operational amplifier and an output-stage circuit can be similarly controlled by forming this current-source transistor and current Miller circuit by changing the bias of a current-source transistor, the consumed electric current of this operational amplifier of operation can be reduced.

[0013]

[Example] The example of this invention is explained below. One example of this invention is shown in drawing 1 . Drawing 1 is the circuit diagram showing an example which constituted the operational amplifier from an MOS transistor. the drawing 1 *** -- 101 -- a positive-electrode power supply and 102 -- negative-electrode ***** -- certain ** P type MOS transistor 105 is a current-source transistor. The differential-amplifier circuits which constitute an operational amplifier are P type MOS transistors 109, 110, and 111 and N type MOS transistors 112 and 113. A differential pair transistor and N type MOS transistors 112 and 113 of the constant-current transistor and P type MOS transistors 110 and 111 by which P type MOS transistor 109 supplies a constant current to a differential-amplifier circuit are the drain loads of differential pair P type MOS transistors 110 and 111 respectively. The output-stage circuits which constitute an operational amplifier are P type MOS transistor 114 and N type MOS transistor 115. N type MOS transistor 115 is an output driver, and P type MOS transistor 114 is the active load of N type MOS transistor 115. The capacitor 116 is connected by the capacitor for phase corrections between the output signal 119 of a differential-amplifier circuit, and the signal 117 which is the output of an operational amplifier. The signal 103 has inputted the noninverting input of an operational amplifier in the gate input of P type MOS transistor 110. The feedback input of the signal 117 whose reversal input of this operational amplifier is an output of an operational amplifier in the gate input of P type MOS transistor 111 is carried out. Thus, if constituted, it will be as the conventional example having explained that a voltage follower will be formed.

[0014] On the other hand, as for P type MOS transistor 105, P type MOS transistors 107, 109, and 114 form current Miller circuit in current Miller circuit and this appearance, as for a current-source transistor and N type MOS transistors 106 and 108. And in order to set to I2 the current which flows to P type MOS transistor 105 and to give explanation intelligible, N type MOS transistors 106 and 108 which form current Miller circuit make a conductance constant equal, and P type MOS transistor 107 and the conductance constant of 109 and 114 which form the current Miller circuit of further others presuppose that it is equal. Then, current equal to I2 is acquired by N type MOS transistor 108 by work of current Miller circuit, and current equal [114] to P type MOS transistor 109 and P type MOS transistor12 is acquired similarly. Therefore, the consumed electric current of operation in the example of a circuit of the operational amplifier of drawing 1 is set to 4xI2. That is, the value which multiplied by the constant in the current which flows to a current-source transistor serves as the consumed electric current of an operational amplifier of operation.

[0015] Next, supposing the current I2 which flows to P type MOS transistor 105 of a current source sets Vtp, the source, and bias between the gates to Vgp, and sets a conductance constant to Kp and it is operating the threshold voltage of P type MOS transistor 105 by the saturation region, current I2 will be given by the following (2) formulas.

[0016]

$$I2 = Kp / 2 - (Vgp - Vtp) 2 \quad (2)$$

(2) If it is fixed [a formula / the conductance constant Kp and the threshold voltage Vtp], it is shown that current I2 changes with the values of the source and the bias Vgp between the gates. The source of P type MOS transistor 105 and the bias Vgp between the gates are [in the circuit diagram of drawing 1] controllable by the signal 104. Therefore, the consumed electric current of the operational amplifier of drawing 1 of operation is controllable by changing the voltage value of a signal 104.

[0017] Next, concrete operation is explained using the timing chart view of drawing 3 . In drawing 3 (a), in order to give explanation intelligible, the same number is attached to the same signal as drawing 1 . The gate bias of current-source P type MOS transistor 105 of an operational amplifier and the signal 117 of the reference voltage and the signal 104 with which a signal 103 is inputted into the noninverting input of an operational amplifier are output signals of an operational amplifier. A signal 103 shows that the reference voltage has changed a certain period. The gate bias of current-source P type MOS transistor 105 receives the voltage of a positive-electrode power supply. - Suppose with Va that it is fixed. Although an output signal 117 operates to consider this change as the voltage level of an input signal 103, only Ta time is behind [the relation of the restrictions by the flattery performance of the internal circuitry of an operational amplifier, i.e. a slew rate,] in it to change of an input signal 103, and it reaches a predetermined voltage level.

[0018] Drawing 3 (b) is the timing chart view of this invention. The gate bias of current-source P type MOS transistor 105 of an operational amplifier and the signal 117 of the reference voltage and the signal 104 with which a signal 103 is inputted into the noninverting input of an operational amplifier are output signals of an operational amplifier. The same number is attached to the same signal as drawing 3 (a) . A signal 103 shows that the reference voltage has changed a certain period. The signal 104 which is the gate bias of current-source P type MOS transistor 105 of drawing 1 receives the voltage of a positive-electrode power supply. - It is the binary voltage of Vb1 and -Vb2, and changing by time sharing is shown. Moreover, a signal 104 synchronizes with the change timing of the voltage of a signal 103, and only predetermined time is. - It becomes the voltage of Vb1 and is henceforth to the change timing of the next voltage of a signal 103. - Holding the voltage of Vb2 is shown, voltage - Vb -- one - Vb -- two -- an absolute value -- size -- a relation -- the following -- (- three --) -- a formula -- being shown -- a passage -- it is .

[0019]
| -Vb1 | > | -Vb2 | - (3)

- When the voltage of Vb1 and -Vb2 is the gate bias of current-source P type MOS transistor 105 of drawing 1 , the current which will flow to an MOS transistor if gate bias is large increases and gate bias is small, it is as the place of the above-mentioned formula (2) having described that the current which flows to an MOS transistor decreases. Therefore, there is much current which flows to current-source P type MOS transistor 105 of drawing 1 to the timing of Tc of a signal 104, and it decreases to the timing of Td. Then, since the current which flows in the differential-amplifier circuit in an operational amplifier also decreases to the timing of Td mostly in the timing of Tc of a signal 104, the slew rate of an operational amplifier becomes high to the timing of Tc to the timing of Td of a signal 104. therefore -- if the voltage value of -Vb1 is set as a suitable value -- the output signal 117 of an operational amplifier -- the voltage of a signal 103 -- it receives changing, a time delay Tb decreases extremely, and the output near an ideal is obtained

[0020] Next, the consumed electric current is described. It is as the consumed electric current of an operational amplifier of operation having mentioned above to the timing of Tc of the signal 104 of drawing 3 , and decreasing to the timing of Td. By the way, to the timing of Td, since the output signal 117 has already reached the predetermined voltage level, an operational amplifier should just hold the voltage level.

[0021] Therefore, to the timing of Td, there may be very little consumed-electric-current current of an operational amplifier of operation. On the other hand, to the timing of Tc, although an operational amplifier needs much current, if it is a range longer than the time delay Tb of an output signal 117 and time of Tc is lessened as much as possible to the time of Td, influence of an increase of the consumed electric current in the timing of Tc can be lessened extremely.

[0022] Next, other examples of this invention which made the depletion type P type MOS transistor 105 which is a current-source transistor of the operational amplifier of drawing 1 are explained. As shown in the timing chart view of drawing 4 , when current-source P type MOS transistor 105 is made into a depletion type, the gate bias signal 103 of P type MOS transistor 105 is given. The same sign as drawing 3 is attached to what shows the same timing as drawing 3 in drawing 4 . A signal 103 is positive-electrode power supply level in negative-electrode power supply level and the timing of Td to the timing of Tc. Since P type MOS transistor 105 of a current source is a depletion type, predetermined current will be acquired if the positive-electrode power supply level of grand level is inputted into the gate. Moreover, if negative-electrode power supply level is inputted into the gate, much current can be acquired from the case where positive-electrode power supply level is inputted into the gate. Thus, you may control the current-source transistor of an operational amplifier.

[0023] Although explained that the above explanation carried out binary selection of the bias of a current-source transistor, there is no need of course being only two values, and in order to smooth the change of the bias of a current-source transistor, you may choose it more than a ternary for the reasons of wanting to lessen the settling time of an operational amplifier. Moreover, although the positive-electrode power supply has been explained as a gland, even if it, of course, makes a negative-electrode power supply into a gland, the same composition as this invention, then the same effect can be acquired. Therefore, although the current-source transistor was explained as a P type MOS transistor, even if it uses an N type MOS transistor, of course, it is good. Moreover, in the example of this invention, although explained using the MOS transistor, it is not restricting to an MOS transistor and the same effect can be acquired also with the transistor of other kinds.

[0024]

[Effect of the Invention] according to this invention -- the input voltage of an operational amplifier -- since it can synchronize with changing and the slew rate of a predetermined time operational amplifier can be raised, an operational amplifier with very few time delays of the output voltage of input voltage which follows for changing can be obtained

[0025] Moreover, the current of the current-source transistor which restricts the consumed electric current of an operational amplifier of operation is controlled by time sharing, current lessens time of the timing which flows mostly, and since time of

the timing which does not have current, a very small drain flow can be made [many], the operational amplifier which operates by the low consumed electric current can be obtained.

[0020] Moreover, since positive electrode power supply level and the negative electrode power supply level of a current-source transistor are binary and it can control by making the current-source transistor of an operational amplifier into a depletion type, when the circuit which creates the binary voltage for controlling a current-source transistor at least became unnecessary, for example, this operational amplifier is built and it is crowded in semiconductor accumulation equipment, it can aim at reduction of a chip size and can reduce chip cost.

[Translation done.]